

Peripheral	PPS Input Register	Default Pin Selection at POR	Available Input Ports												PPS Input Register	Default Pin Selection at POR	Available Input Ports				PPS Input Register	Available Input Ports				COMMON	ASSIGNED	
			PIC18F47Q83				PIC18F47Q43				PIC18F47K42						PIC16F18877					PIC16F15386						
			A	B	—	—	A	B	—	—	A	B	—	—			A	B	—	—		A	B	—	—			
Interrupt 0	INT0PPS	RB0	A	B	—	—	A	B	—	—	A	B	—	—	INTPPS	RB0	A	B	—	—	INTPPS	A	B	—	—	RAx, RBx		
Interrupt 1	INT1PPS	RB1	A	B	—	—	A	B	—	—	A	B	—	—												RAx, RBx		
Interrupt 2	INT2PPS	RB2	A	B	—	—	A	B	—	—	A	B	—	—												RAx, RBx		
Timer0 Clock	T0CKIPPS	RA4	A	B	—	—	A	B	—	—	A	B	—	—	T0CKIPPS	RA4	A	B	—	—	T0CKIPPS	A	B	—	—	F	RAx, RBx	
Timer1 Clock	T1CKIPPS	RC0	A	—	C	—	A	—	C	—	A	—	C	—	T1CKIPPS	RC0	A	—	C	—	T1CKIPPS	A	—	C	—	—	RAx, RCx	
Timer1 Gate	T1GPPS	RB5	—	B	C	—	—	B	C	—	—	—	B	C	—	—	T1GPPS	RB5	—	B	C	—	—	—	—	RBx, RCx		
Timer3 Clock	T3CKIPPS	RC0	—	B	C	—	—	B	C	—	—	—	B	C	—	—	T3CKIPPS	RC0	—	B	C	—	—	—	—	RBx, RCx		
Timer3 Gate	T3GPPS	RC0	A	—	C	—	—	A	—	C	—	—	A	—	C	—	—	T3GPPS	RC0	A	—	C	—	—	—	RAx, RCx		
Timer5 Clock	T5CKIPPS	RC2	A	—	C	—	—	A	—	C	—	—	A	—	C	—	—	T5CKIPPS	RC2	A	—	C	—	—	—	RAx, RCx		
Timer5 Gate	T5GPPS	RB4	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	T5GPPS	RB4	—	B	—	D	—	—	RBx, RDx	
Timer2 Input	T2INPPS	RC3	A	—	C	—	—	A	—	C	—	—	A	—	C	—	—	T2INPPS	RC3	—	B	—	D	—	—	n/a		
Timer4 Input	T4INPPS	RC5	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	T4INPPS	RC5	—	B	C	—	—	—	RBx, RCx		
Timer6 Input	T6INPPS	RB7	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	T6INPPS	RB7	—	B	—	D	—	—	RBx, RDx	
Universal Timer Input 0	TU0INPPS	RC0	—	—	C	—	E	—	—	—	—	—	—	—	—	—	—	—	TU0INPPS	RC0	—	—	C	—	E	RCx, REX		
Universal Timer Input 1	TU1INPPS	RB5	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	—	TU1INPPS	RB5	—	B	C	—	—	F	RBx, RCx	
CCP1	CCP1PPS	RC2	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	—	CCP1PPS	RC2	—	B	C	—	—	F	RBx, RCx	
CCP2	CCP2PPS	RC1	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	—	CCP2PPS	RC1	—	B	C	—	—	F	RBx, RCx	
CCP3	CCP3PPS	RB5	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	CCP3PPS	RB5	—	B	—	D	—	—	RBx, RDx	
CCP4	CCP4PPS	RB0	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	CCP4PPS	RB0	—	B	—	D	—	—	RBx, RDx	
CCP5	CCP5PPS	RA4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	E	—	CCP5PPS	RA4	A	—	—	—	E	RAx, REX		
SMT1 Window	SMT1WINPPS	RC0	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	—	SMT1WINPPS	RC0	—	B	—	—	—	—	RBx	
SMT1 Signal	SMT1SIGPPS	RC1	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	—	SMT1SIGPPS	RC1	—	B	—	—	—	—	RBx	
SMT2 Window		RB4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SMT2WINPPS	RB4	—	B	—	D	—	—	RBx, RDx	
SMT2 Signal		RB5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SMT2SIGPPS	RB5	—	B	—	D	—	—	RBx, RDx	
PWM Input 0	PWM0PPS	RC2	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	—	PWM0PPS	RC2	—	B	C	—	—	—	RBx, RCx	
PWM Input 1	PWM1PPS	RC6	A	—	—	E	—	A	—	—	E	—	A	—	—	E	—	—	PWM1PPS	RC6	A	—	—	E	—	—	RAx, REX	
PWM1 External Reset Source	PWM1ERSPPS	RC3	A	—	C	—	—	A	—	C	—	—	A	—	C	—	—	—	PWM1ERSPPS	RC3	A	—	C	—	—	—	RAx, RCx	
PWM2 External Reset Source	PWM2ERSPPS	RC5	A	—	C	—	—	A	—	C	—	—	A	—	C	—	—	—	PWM2ERSPPS	RC5	A	—	C	—	—	—	RAx, RCx	
PWM3 External Reset Source	PWM3ERSPPS	RB7	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	PWM3ERSPPS	RB7	—	B	—	D	—	—	RBx, RDx	
PWM4 External Reset Source	PWM4ERSPPS	RC3	A	—	C	—	—	A	—	C	—	—	A	—	C	—	—	—	PWM4ERSPPS	RC3	A	—	C	—	—	—	RAx, RCx	
CWG1	CWG1PPS	RB0	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	CWG1PPS	RB0	—	B	—	D	—	—	RBx, RDx	
CWG2	CWG2PPS	RB1	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	CWG2PPS	RB1	—	B	—	D	—	—	RBx, RDx	
CWG3	CWG3PPS	RB2	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	CWG3PPS	RB2	—	B	—	D	—	—	RBx, RDx	
DSM1 Carrier Low	MD1CARLPPS	RA3	A	—	—	D	—	A	—	—	D	—	A	—	—	D	—	—	MDCARLPPS	RA3	A	—	—	D	—	—	RAx, RDx	
DSM1 Carrier High	MD1CARHPPS	RA4	A	—	—	D	—	A	—	—	D	—	A	—	—	D	—	—	MDCARHPPS	RA4	A	—	—	D	—	—	RAx, RDx	
DSM1 Source	MD1SRCPPS	RA5	A	—	—	D	—	A	—	—	D	—	A	—	—	D	—	—	MDSRCPPS	RA5	A	—	—	D	—	—	RAx, RDx	
CLCx Input 1	CLCIN0PPS	RA0	A	—	C	—	—	A	—	C	—	—	A	—	C	—	—	—	CLCIN0PPS	RA0	A	—	C	—	—	—	RAx, RCx	
CLCx Input 2	CLCIN1PPS	RA1	A	—	C	—	—	A	—	C	—	—	A	—	C	—	—	—	CLCIN1PPS	RA1	A	—	C	—	—	—	RAx, RCx	
CLCx Input 3	CLCIN2PPS	RB6	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	CLCIN2PPS	RB6	—	B	—	D	—	—	RBx, RDx	
CLCx Input 4	CLCIN3PPS	RB7	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	CLCIN3PPS	RB7	—	B	—	D	—	—	RBx, RDx	
CLCx Input 5	CLCIN4PPS	RA0	A	—	C	—	—	A	—	C	—	—	A	—	C	—	—	—	CLCIN4PPS	RA0	A	—	C	—	—	—	RAx, RCx	
CLCx Input 6	CLCIN5PPS	RA1	A	—	C	—	—	A	—	C	—	—	A	—	C	—	—	—	CLCIN5PPS	RA1	A	—	C	—	—	—	RAx, RCx	
CLCx Input 7	CLCIN6PPS	RB6	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	CLCIN6PPS	RB6	—	B	—	D	—	—	RBx, RDx	
CLCx Input 8	CLCIN7PPS	RB7	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	CLCIN7PPS	RB7	—	B	—	D	—	—	RBx, RDx	
ADC Conversion Trigger	ADACTPPS	RB4	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	ADACTPPS	RB4	—	B	—	D	—	—	RBx, RDx	
SPI1 Clock	SPI1SCKPPS	RC3	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	—	SSP1CLKPPS	RC3	—	B	C	—	—	—	RBx, RCx	
SPI1 Data	SPI1SDI1PPS	RC4	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	—	SSP1DAT1PPS	RC4	—	B	C	—	—	—	RBx, RCx	
SPI1 Slave Select	SPI1SSPPS	RA5	A	—	—	D	—	A	—	—	D	—	A	—	—	D	—	—	SSP1SSPPS	RA5	A	—	—	D	—	—	RAx, RDx	
SPI2 Clock	SPI2SCKPPS	RB3	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	SSP2CLKPPS	RB3	—	B	—	D	—	—	RBx, RDx	
SPI2 Data	SPI2SDI1PPS	RB2	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	SSP2DAT1PPS	RB2	—	B	—	D	—	—	RBx, RDx	
SPI2 Slave Select	SPI2SSPPS	RA4	A	—	—	D	—	A	—	—	D	—	—	B	—	D	—	—	SSP2SSPPS	RB0	—	B	—	D	—	—	RDx	
I2C1 Clock	I2C1SCLPPS(1)	RC3	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	—	I2C1SCLPPS(1)	RC3	—	B	C	—	—	—	RBx, RCx	
I2C1 Data	I2C1SDAPPS(1)	RC4	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	—	I2C1SDAPPS(1)	RC4	—	B	C	—	—	—	RBx, RCx	
I2C2 Clock	I2C2SCLPPS(1)	RB1	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	I2C2SCLPPS(1)	RB1	—	B	—	D	—	—	RBx, RDx	
I2C2 Data	I2C2SDAPPS(1)	RB2	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	I2C2SDAPPS(1)	RB2	—	B	—	D	—	—	RBx, RDx	
UART1 Receive	U1RXPPS	RC7	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	—	RXPPS	RC7	—	B	C	—	—	F	RBx, RCx	RC7
UART1 Clear to Send	U1CTSPPS	RC6	—	B	C	—	—	—	B	C	—	—	—	B	C	—	—	—	TXPPS	RC6	—	B	C	—	—	F	RBx, RCx	
UART2 Receive	U2RXPPS	RB7	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	U2RXPPS	RB7	—	B	—	D	—	—	RBx, RDx	
UART2 Clear to Send	U2CTSPPS	RB6	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	U2CTSPPS	RB6	—	B	—	D	—	—	RBx, RDx	
UART3 Receive	U3RXPPS	RA7	A	B	—	—	—	A	B	—	—	—	A	B	—	—	—	—	U3RXPPS	RA7	A	B	—	—	—	—	RAx, RBx	
UART3 Clear to Send	U3CTSPPS	RA6	A	B	—	—	—	A	B	—	—	—	A	B	—	—	—	—	U3CTSPPS	RA6	A	B	—	—	—	—	RAx, RBx	
UART4 Receive	U4RXPPS	RB5	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	U4RXPPS	RB5	—	B	—	D	—	—	RBx, RDx	
UART4 Clear to Send	U4CTSPPS	RB4	—	B	—	D	—	—	B	—	D	—	—	B	—	D	—	—	U4CTSPPS	RB4	—	B	—	D	—	—	RBx, RDx	
UART5 Receive	U5RXPPS	RA5	A	—	C	—	—	A	—	C	—	—	A	—	C	—	—	—	U5RXPPS	RA5	A	—	C	—	—	—	RAx, RCx	
UART5 Clear to Send	U5CTSPPS	RA4	A	—	C	—	—	A	—	C	—	—	A	—	C	—	—	—	U5CTSPPS	RA4	A	—	C	—	—	—	RAx, RCx	

